

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-195448
 (43)Date of publication of application : 15.07.1992

(51)Int.Cl. G06F 13/28

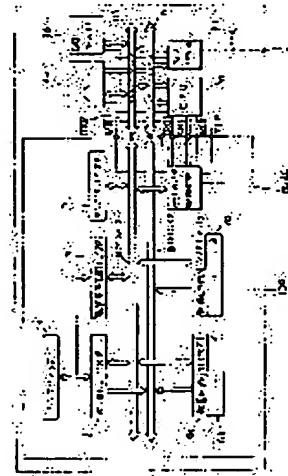
(21)Application number : 02-323175 (71)Applicant : HITACHI LTD
 HITACHI MICOM SYST:KK
 (22)Date of filing : 28.11.1990 (72)Inventor : TSUKAMOTO TAKU
 MATSUDA MAMORU

(54) DATA TRANSFER CONTROL METHOD AND DATA PROCESSOR USING THE METHOD

(57)Abstract:

PURPOSE: To independently transfer data between addresses twice with one transfer request by providing plural transfer destination address registers and transfer source address registers.

CONSTITUTION: Plural pairs of address register groups are provided, and each pair consists of transfer source address registers 6a and 6b where transfer source addresses are held and transfer destination address registers 7a and 7b where transfer destination addresses are held. A direct memory access(DMA) controller 100 and a microcomputer 10 include a transfer frequency register 3 and a control register 2 for transfer mode designation, and the control register 2 includes a control bit for transfer mode discrimination. Thus, DMA transfer can be used for complicated control of a peripheral I/O like a port, and the efficiency of data transfer is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-195448

⑬ Int. Cl.⁵
G 06 F 13/28

識別記号 庁内整理番号
3 1 0 M 7052-5B

⑭ 公開 平成4年(1992)7月15日

審査請求 未請求 請求項の数 4 (全14頁)

⑮ 発明の名称 データ転送制御方法及びそれを用いたデータプロセッサ

⑯ 特 願 平2-323175

⑰ 出 願 平2(1990)11月28日

⑱ 発 明 者 塚 本 卓 東京都小平市上水本町5丁目22番1号 株式会社日立マイコンシステム内

⑲ 発 明 者 松 田 守 東京都小平市上水本町5丁目22番1号 株式会社日立マイコンシステム内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 株式会社日立マイコンシステム 東京都小平市上水本町5丁目22番1号

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

データ転送制御方法及びそれを用いたデータプロセッサ

2. 特許請求の範囲

1. 第1転送先アドレスを記憶するための第1転送先アドレスレジスタ(6a)、第1転送元アドレスを記憶するための第1転送元アドレスレジスタ(7a)、第2転送先アドレスを記憶するための第2転送先アドレスレジスタ(6b)、第2転送元アドレスを記憶するための第2転送元アドレスレジスタ(7b)、及び、転送要求回数データを記憶するための転送回数レジスタ(3)を含むデータプロセッサ内で使用されるデータ転送方法であって、上記データ転送方法は、

a) 転送要求(TIR)を受けて、データ転送を実行する。上記実行ステップは以下のステップを含む；

i) 上記転送要求(TIR)の受領に応答し、

第1転送元アドレスにストアされた第1データを第1転送先アドレスに転送する；

ii) 上記第1データの転送につづいて、第2転送元アドレスにストアされた第2データを第2転送先アドレスに転送する；

iii) 上記第2データの転送終了に応答し、上記転送回数レジスタ(3)内にストアされた転送要求回数データを1デクリメントする；

b) 上記転送要求回数データがゼロでないなら、上記転送要求回数データがゼロとなるまで、上記ステップ(a)にもどる；

c) 上記転送要求回数データがゼロならデータ転送を終了する。

以上のステップを含むことを特徴とするデータ転送制御方法。

2. 第1転送元アドレスをストアするための第1記憶手段(6a)、

第1転送先アドレスをストアするための第2

記憶手段(7a)、

第2転送元アドレスをストアするための第3

記憶手段(6b)、

第2転送先アドレスをストアするための第4記憶手段(7b)、

転送要求回数データをストアするための第記憶手段(3)、

データ転送を制御するための制御記憶手段(2)、を含み、上記制御記憶手段(2)は、

上記第1及び第2記憶手段を用いた第1データ転送を制御するための第1制御ビット(S21, S11, D11)、

上記第3及び第4記憶手段を用いた第2データ転送を制御するための第2制御ビット(S22, S12, D12)、及び、

そのクリア状態は、第1データ転送が繰り返行なわれることを示し、かつ、そのセット状態は第1及び第2データ転送がそれぞれ1回ずつ連続して実行されることを示す第3制御ビット(FG1)を含み、

さらに、上記第3制御ビット(FG1)がクリア状態とされている時、第1データ転送が上

記転送要求回数データの示す回数行なわれ、上記制御ビット(FG1)がセット状態とされている時、第1及び第2データ転送の連続転送を定義しているデータ転送が上記転送要求回数データの示す回数行なわれることを特徴とするデータ転送制御装置。

3. 上記転送要求回数データは、上記第3制御ビット(FG1)がクリア状態とされている時、第1データ転送が行なわれた後、1デクリメントされ、さらに、上記転送要求回数データは、上記第3制御ビット(FG1)がセット状態とされているとき、第1及び第2データ転送が連続して行なわれた後、1デクリメントされることを特徴とする特許請求の範囲第2項記載のデータ転送制御装置。

4. 上記データ転送制御装置は、1チップデータプロセッサ内に内蔵されることを特徴とする特許請求の範囲第3項記載のデータ転送制御装置。

3. 発明の詳細な説明

(産業上の利用分野)

(発明が解決しようとする課題)

しかしながら、従来のDMAコントローラは、単にCPUが命令を使ってデータを転送すめよりも高速に特定アドレス間においてデータ転送を行なうだけのものであり、第5図(B)に示すようにアドレス空間上において互いに離れた位置にある2つのデータDATA1, DATA2を1回の転送要求で転送するようなことはできなかった。そのため、DMA転送をポート等の周辺I/Oの複雑な制御に利用するようなことはできなかった。

例えば、CPUのポートから所定の波形パルスを出させたいようなときは、DMA転送を用いてポートに定期的に書き込みを行なうことで実現できる。そのDMAの転送要求にはタイマの割込み要求を使用するのが一般的である。この場合、タイマからの転送要求によりDMAコントローラはポートへのデータ書き込みの他、タイマのフラグクリアを含む条件の再設定を行なわなければならない。ところが従来のDMAコントローラは、1回の転送要求に対しては1回の転送しか実現できな

本発明はデータ転送制御技術さらにはメモリと入出力装置(I/O)間のデータ転送方式に適用して特に有効な技術に関し、例えばシングルチップマイクロコンピュータやダイレクトメモリアクセス(DMA)コントローラに利用して有効な技術に関する。

(従来の技術)

データプロセッサシステムにおいて、メモリと入出力装置(I/O)間で中央処理ユニット(CPU)を介さずに、直接データを転送可能にするデバイスとしてたとえば、ダイレクトメモリアクセス(DMA)コントローラが提供されている。

DMAコントローラは、JP-A-59-53928, JP-A-61-198351, JP-A-63-29868, JP-A-63-163560及びJP-A-1-50153などに開示される様に種々の方式が提案される。これらの日本特許公開公報のDMA転送方式は、1回の転送要求に対し転送語数(転送回数、又はレングス)レジスタ内にストアされた転送語数データの値に対応する回数だけ、データ転送を連続して行なう方式である。

いたためDMA転送によるパルスの出力制御を実現することができなかった。

本発明の目的は、転送効率の向上されたデータ転送方法を提供することにある。

さらに本発明の他の目的は、転送効率の向上されたデータ転送方法を実現可能なダイレクトメモリアクセスコントローラ及びシングルチップマイクロコンピュータを提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの特徴を説明すれば、下記のとおりである。

すなわち、本発明のデータ転送方法は、転送回数レジスタ内に設定された値の整数倍のデータ転送を実現できるデータ転送方法である。例えば、10進法にしたがう10回という値が、転送回数レジスタに設定されたならば、 $10 \times n$ (n は整数)個のデータを転送することが可能とされる。

レス番地に設定されることも可能である。

本発明に従うデータ転送方法の一例は以下の様にされる。尚、説明を簡単化するために、ダイレクトメモリアクセスコントローラは、第1及び第2転送元アドレスレジスタ、第1及び第2転送先アドレスレジスタ転送回数レジスタ及び制御レジスタを含む場合を想定する。たとえば、ダイレクトメモリアクセスコントローラがデータ転送要求を受けると、まず第1転送元アドレスレジスタ内に設定された第1転送元アドレスデータの示す、たとえば半導体メモリのアドレスから転送すべき第1データが読み出されるとともに上記第1転送元アドレスデータが更新される。次に、上記第1データは第1転送先アドレスレジスタ内に設定された第1転送先アドレスデータの示すたとえば第1データレジスタに書き込まれるとともに第1転送先アドレスデータが更新される。その後、制御レジスタ内の転送モード指定コントロールビットの状態が調べられる。

もし、上記コントロールビットがセット状態と

この様な転送方法を実現するため、本発明に従うダイレクトメモリアクセスコントローラ及びシングルチップマイクロコンピュータは、転送元アドレスを保持する為の転送元アドレスレジスタと、転送先アドレスを保持するための転送先アドレスレジスタとを一对のアドレスレジスタ群とする場合、この様なアドレスレジスタ群を複数対含む。さらに、上記ダイレクトメモリアクセスコントローラや、マイクロコンピュータは、転送回数レジスタと、転送モードを指定するための制御レジスタを含み、上記制御レジスタは、その内部に、転送モードを識別するためのコントロールビット

(フラッグビット)を含む。このコントロールビットは、セット状態と("1")とクリア状態("0")を有し、それがセット状態とされた場合、本発明に従うデータ転送を指定し、それがクリア状態とされた場合、従来のデータ転送を指定する。上記に記載された各レジスタは、それぞれスタティック型フリップフロップ回路などで構成することができし、また半導体メモリ内の所定のアド

されているなら、第2転送元アドレスレジスタ内の第2転送元アドレスデータの示すたとえば半導体メモリのアドレスから転送されるべき第2データが読みだされるとともに第2転送元アドレスデータが更新される。次に、第2データが第2転送先アドレスレジスタ内に設定された第2転送先アドレスデータの示すたとえば第2データレジスタに書き込まれるとともに、第2転送先アドレスデータが更新される。そして、上記転送回数レジスタ内に設定された回数データの値が1だけデクリメントされて、次のデータ転送へと移行する。

もし、上記コントロールビットがクリア状態とされているならば、第2転送元及び第2転送先アドレスレジスタに基づくデータ転送は行なわれず、転送回数レジスタ内に設定された回数データの値が1だけデクリメントされて、次のデータ転送へと移行する。尚、このデータ転送は、従来のデータ転送と同一である。

〔作 用〕

従って、第5図(B)に示すように、メモリア

ドレス空間上において互いに離れたアドレス位置にある2つのデータDATA 1、DATA 2を1回の転送要求で転送することができる。そのため、DMA転送をポート等の周辺I/Oの複雑な制御に利用することができる。

例えば、シングルチップマイクロコンピュータの出力ポートから所定の波形パルスを出力させるときは、本発明のDMA転送を用いて上記出力ポートのデータレジスタに定期的にデータを書き込むことによって、所定の波形パルスの出力が実現できる。この様なDMA転送の転送要求にはタイマの割込み要求が使用される。この場合、タイマからの1個の転送要求によりDMAコントローラは出力ポートの内蔵レジスタへのデータ書き込みの他、タイマのフラグのクリア動作を含む条件の再設定を行なうことが必要とされるから、本発明に従うデータ転送方法が有効である。

〔実施例〕

第1図は本発明に従うダイレクトメモリアクセスコントローラ(DMAC)を含むデータプロセ

ッサシステムを示す。

データプロセッサシステムは、プログラムやデータを記憶するメモリ装置20、上記メモリ装置20内のプログラムを実行し、所定のデータ処理を行なう中央処理装置(CPU)10、データプロセッサシステムに必要とされるタイムインターバルを発生するためのタイマモジュール21及びDMAC100を含む。これらの各回路10、20、21、100はシステムアドレスバス110及びシステムデータバス115を介して結合される。

上記DMAC100は、バス&タイミング制御回路1、制御レジスタ2、転送要求回数レジスタ3、インクリメント4、テンポラリレジスタ5、転送元アドレスレジスタ6a及び6b、転送先アドレスレジスタ7a及び7b、アドレスバス8、及びデータバス9を含む。

バス&タイミング制御回路1は、CPU10もしくは入出力(I/O)デバイス30からのデータ転送要求信号DRQ1、DRQ2またはタイマ

21からの割込み要求信号TIRを受けると、優先順位を判定するとともに、コントロール信号CNTの状態に応じてバスマスタとされるCPU10からバス権を獲得し、アクノリッジ信号DACKをバスマスタとされるCPU10に出力する様に動作する。その結果、DMAC100は、バス権の取得によってデータ転送開始状態とされるとともに、上記バス&タイミング制御回路1はデータ転送制御を開始する。すなわち、上記バス&タイミング制御回路1はバスアビータの機能を有する。

制御用レジスタ2はデータ転送モードや転送データのサイズ等を指定するためのレジスタで、転送要求回数レジスタ3は転送要求回数を格納するためのレジスタである。インクリメント4は転送回数を更新したり転送アドレスを更新(インクリメントおよびデクリメント)するために設けられ、テンポラリレジスタ5はメモリ又はI/Oデバイスから読み出したデータを一旦保持するために設けられる。

上記転送元アドレスレジスタ6a、6bは転送されるべきデータのストアされている各アドレスを指定するためのレジスタで、それぞれ異なるアドレスをストア可能である。

上記転送先アドレスレジスタ7aは上記転送元アドレスレジスタ6aによって指定されたアドレスにストアされたデータの転送先アドレスを指定する。上記転送先アドレスレジスタ7bは上記転送元アドレスレジスタ6bによって指定されたアドレスにストアされたデータの転送先アドレスを指定する。

上記制御用レジスタ2は、16ビットのレジスタで、第2図に示すように構成され、以下の制御ビットを含む。

コントロールビットSZ1は、転送元レジスタ6aを用いて行なわれるデータ転送動作において、転送されるべきデータのサイズを指示する。たとえば、SZ1がクリア状態"0"とされると、8ビット(1バイト)のデータが転送先レジスタ7a内のアドレスデータによって指定されるアドレ

スにストアされる。SZ1がセット状態“1”とされると、16ビット（1ワード）のデータがレジスタ7aの内容によって指示されるアドレスにストアされる。

コントロールビットS11は転送元アドレスレジスタ6a内にストアされたアドレスデータをインクリメントするか否かを指定する。S11がクリア状態“0”とされると、レジスタ6a内のアドレスデータはインクリメントされず、ソースアドレス固定モードのデータ転送が実行される。S11がセット状態“1”とされ、かつ、上記SZ1がクリア状態“0”とされると、データ転送終了後、レジスタ6a内のアドレスデータが+1だけインクリメント4によって更新される。S11がセット状態“1”とされ、かつ、SZ1がセット状態“1”とされると、データ転送終了後、レジスタ6a内のアドレスデータが+2だけインクリメント4によって更新される。

コントロールビットD11は、転送先アドレスレジスタ7a内のアドレスデータをインクリメン

トするか否かを指定する。D11がクリア状態“0”とされると、レジスタ7a内のアドレスデータはインクリメントされず、ディスティネーションアドレス固定モードのデータ転送が実行される。D11がセット状態“1”とされ、かつ、SZ1が“0”とされると、データ転送終了後、レジスタ7a内のアドレスデータが+1だけインクリメント4によって更新される。D11が“1”とされ、かつ、SZ1が“1”とされると、データ転送終了後、レジスタ7a内のアドレスデータが+2だけインクリメント4によって更新される。

コントロールビットFG1は、本発明を特徴づけるフラッグであり、転送元及び転送先アドレスレジスタ6b及び7bにもとづくデータ転送が、転送元及び転送先アドレスレジスタ6a及び7aにもとづくデータ転送の終了後、実行されるか否かを指定する。

コントロールビットSZ2は、転送元レジスタ6aを用いて行なわれるデータ転送動作において、転送されるべきデータのサイズを指示する。たと

えば、SZ2がクリア状態“0”とされると、8ビット（1バイト）のデータが転送先レジスタ7b内のアドレスデータによって指定されるアドレスにストアされる。SZ2がセット状態“1”とされると、16ビット（1ワード）のデータがレジスタ7bの内容によって指示されるアドレスにストアされる。

コントロールビットS12は、転送元アドレスレジスタ6b内にストアされたアドレスデータをインクリメントするか否かを指定する。S12がクリア状態“0”とされると、レジスタ6b内のアドレスデータはインクリメントされず、ソースアドレス固定モードのデータ転送が実行される。S12がセット状態“1”とされ、かつ、上記SZ2が“0”とされると、データ転送終了後、レジスタ6b内のアドレスデータが+1だけインクリメント4によって更新される。S12が“1”とされ、かつ、SZ2が“1”とされると、データ転送終了後、レジスタ6b内のアドレスデータが+2だけインクリメント4によって更新される。

コントロールビットD12は、転送先アドレスレジスタ7b内のアドレスデータをインクリメントするか否かを指定する。D12がクリア状態“0”とされると、レジスタ7b内のアドレスデータはインクリメントされず、ディスティネーションアドレス固定モードのデータ転送が実行される。D12がセット状態“1”とされ、かつ、SZ2が“0”とされると、データ転送終了後、レジスタ7b内のアドレスデータが+1だけインクリメント4によって更新される。D12が“1”とされ、かつ、SZ2が“1”とされると、データ転送終了後、レジスタ7b内のアドレスデータが+2だけインクリメント4によって更新される。

コントロールビットFG2は、コントロールビットFG1同様本発明を特徴づけるフラッグである。

コントロールビットFG1のクリア状態“0”は、転送元アドレスレジスタ6a及び転送先アドレスレジスタ7aにもとづくデータ転送のみの実行を定義する。コントロールビットFG1のセッ

ト状態“1”は転送元アドレスレジスタ6a及び転送先アドレスレジスタ7aに基づくデータ転送の終了後、ひきつづき転送元アドレスレジスタ6b及び転送先アドレスレジスタ7bに基づくデータ転送を実行することを定義する。

一方、コントロールビットFG2のクリア状態“0”は、転送元及び転送先アドレスレジスタ6b及び7bに基づくデータ転送の終了後、転送元及び転送先アドレスレジスタ6a及び7aに基づくデータ転送に次の処理が移行されることを定義する。コントロールビットFG2のセット状態“1”は、たとえば、第2図に示される制御レジスタ2の7ビットから5ビットに上述の様なSZ1(SZ2)、S11(S12)及びD11(D12)と同様な定義がされ、かつ、さらに第3転送元及び第3転送先アドレスレジスタが第1図のDMAC100内に設けられている場合、転送元及び転送先アドレスレジスタ6b及び7bに基づくデータ転送終了後、ひきつづき第3転送元及び第3転送先アドレスレジスタに基づくデータ転送が

したがって、FG1がクリア状態“0”とされている場合、第6図に示される様なタイミングで転送要求回数レジスタ3内のデータのデクリメントが実行される。尚図中、Aで示される部分は、転送元及び転送先アドレスレジスタ6a、7aにもとづくデータ転送を示す。

一方、FG1がセット状態“1”とされている場合、第7図に示される様なタイミングで転送要求回数レジスタ3内のデータのデクリメントが実行される。尚第7図において、Aで示される部分はレジスタ6a、7aに基づくデータ転送を、Bで示される部分はレジスタ6b、7bに基づくデータ転送をそれぞれ示している。

バス&タイミング制御回路1は、第2図に示すような配列で設定された制御レジスタ2の各コントロールビットの状態を制御コードと見なし、左側から順次読み出して解説し、インクリメント4、アドレスレジスタ6a、7a及び6b、7bやテンポラリレジスタ5等をシーケンシャルに動作させる制御信号を出力する。それによって、データ

行なわれることを定義する。したがって、第1図に示すようなDMAC100においては、コントロールビットFG2のセット状態“1”は禁止される。尚、第2図において7ビットから0ビットの“-”は未定とされている状態を示している。

上記転送要求回数レジスタ3内にストアされた転送要求回数データのデクリメントタイミングは、上記コントロールビットFG1及びFG2の状態によって制御される。FG1がクリア状態“0”とされていると、転送元及び転送先アドレスレジスタ6a及び7aにもとづくデータ転送が1回行なわれた後、上記回数データは、インクリメント4によって-1だけデクリメントされる。FG1がセット状態“1”とされ、かつ、FG2がクリア状態“0”とされていると、転送元及び転送先アドレスレジスタ6a及び7aにもとづくデータ転送及び転送元及び転送先アドレスレジスタ6b及び7bにもとづくデータ転送が連続して1回づつ行なわれた後、上記回数データはインクリメント4によって-1だけデクリメントされる。

転送が実行される。

次に、上記DMAコントローラ100により第5図(A)の様な従来のデータ転送及び第5図(B)の様な各々独立したアドレス間のデータ転送を実行する場合の動作手順について説明する。

このようなデータ転送を実行する場合、CPU10は転送開始直前もしくはイニシャライズ時に予めDMAコントローラDMAC内の制御用レジスタ2内に対応する転送モードを書き込むとともに、転送要求回数レジスタ3に転送要求回数を、また、アドレスレジスタ6a及び6b、7bに転送元アドレスデータSA1及びSA2をアドレスレジスタ7aと7bに転送先のアドレスデータDA1及びDA2をそれぞれ設定する。尚、第5図(A)の様なデータ転送先の場合は、レジスタ6b、7bは使用されないため、それらへのデータSA2、DA2の書き込みは行なわない。

そして、バス&タイミング制御回路1がCPU10からの転送要求DRQ1もしくはタイマモジュール21からの割込み要求TIRを受けると、

バス&タイミング制御回路1がバスマスタであるCPU10からバス権を獲得する。そして、バス&タイミング制御回路1は、上記制御用レジスタ2内のコード(SZ1, SI1, DI1)を左側から順次読み出して解釈し、先ず第1転送元アドレスレジスタ6a内のアドレスデータSA1をアドレスバス8上に出力するとともに、リードライト信号R/Wをリード状態“H”にアサートして、リード側のデバイス(この場合メモリ20)をアクセスする。これによってメモリ20から読み出された例えば1バイトのデータDATA1はデータバス9を介して一旦テンポラリレジスタ5に格納される。次に、DMAコントローラは第1転送先アドレスレジスタ7a内のアドレスデータDA1をアドレスバス8上に出力するとともに、リードライト信号R/Wをライト状態(“L”)に変化させてライト側の(例えばタイマモジュール)内のデータレジスタをアクセスし、テンポラリレジスタ5内のデータDATA1をデータバス9上に出力する。そして、制御レジスタ3のコントロー

レスレジスタ7b内のアドレスDATA2を出力して所望のタイマモジュール21内のコントロールレジスタにテンポラリレジスタ5内のデータDATA2を書き込む。それから、バス&タイミング制御回路1はフラグFG2を調べてそれがクリア状態“0”ならバス権を開放し、転送を終了して、転送要求回数レジスタ3内の回数データがインクリメント4に送られてデクリメント(-1)されてから元のレジスタ3へ書き込まれる。

このようにして、割込み要求DRQ1, 2又はTIRが入力されるごとにDMAC100はデータ転送を繰り返す。転送要求回数レジスタ3の値が「0」になるとDMAC100はその旨をCPU10へ知らせる。CPU10は転送元アドレスレジスタ6a, 6b, 7a及び7bのアドレスデータを書き換えてI/Oデバイスに転送すべきデータを変更したり、回数レジスタ3や制御用レジスタ2の値を設定し直す。

第5図(B)の様なデータ転送方式は、特に、シングルチップマイクロコンピュータの外部端子か

ルビットSI1及びDI1の状態に従って、レジスタ6a及び7aのアドレスデータSA1及びDA1がインクリメントされたり、インクリメントされなかったりする。これによって転送元及び転送先アドレスレジスタ6a, 7aに基づく1回目のデータ転送が終了する。

次に、バス&タイミング制御回路1は制御用レジスタ2内のフラグFG1を調べてクリア状態“0”なら転送を終了し、レジスタ3内の回数データがインクリメント4で-1だけデクリメントされて、レジスタ3内に書き込まれる。したがって、第5図(A)に示される様なデータ転送が実施されることになる。一方、フラグFG1がセット状態“1”に設定されていると、フラグFG1の次のコード(SZ2, SI2, DI2)を読み出して2回目の転送を開始する。すなわち、先ず第2転送先アドレスレジスタ6b内のアドレスSA2をアドレスバス8に出力してメモリからたとえば、1バイトのデータDATA2を読み出してテンポラリレジスタ5に入れ、次に第2転送先アド

ら所定の波形を有するパルスを出力させる場合に利用することができる。この場合、第1図に2点鎖線で囲まれた内部の領域がシリコンの様な1つの単結晶半導体基板(chip)内に形成されていると見なされるとともに、配線X及び外部端子Yが存在すると見なされる。尚、図中には外部端子Y以外の外部端子は記入されていないが、実際のシングルチップマイクロコンピュータは、端子Y以外に複数の外部端子を有することは、当業者にとって容易に理解されるだろう。

以下、本発明のデータ転送の利用方法が述べられる。

まず、タイマモジュールは第8図に示すような、フリランニングカウンタ(FRC)200を含む。FRT200は、その内部にクロック信号を受け、クロック数をカウントする16ビットのアップ・カウンタによって構成されたフリランニング・カウンタFRC202、上記FRC202のカウント値と比較されるべきデータをストアするアウトプット・コンペア・レジスタ(OCR)204、

上記FRCとOCRのそれぞれの値を比較し、両者が一致したとき一致信号Cを出力する比較回路(COMP)206、上記FRTの動作制御のためのタイマコントロールレジスタ(TCR)208及びタイマコントロール/ステータスレジスタ(TCSR)、及びタイマコントロールロジック(TCL)212を含む。上記FRC、OCR、TCR及びTCSRはそれぞれリード・ライト可能なレジスタであり、そのリード動作及びライト動作はリード/ライト信号(R/W)によって制御される。また上記FRC、OCR、TCR及びTCSRはそれぞれデータバス110に結合されるとともに、アドレスバス115上のアドレス信号をデコードするアドレスデコード214から出力される選択信号SEL0~SEL3によって、選一的に選択される。

TCR208はその内部にアウトプットコンペア信号FTOの出力を許可するか否かを指定するアウトプットイネーブルフラッグ、及びCOMP206から一致信号Cが発生したときタイマ割込

み要求TIRの出力を許可するか否かを指示するアウトプットインタラプトイネーブルフラッグを含む。TCSR210は一致信号Cにより、アウトプットコンペア信号FTOの出力レベルを指定するアウトプットレベルコントロールフラッグを含む。

上記TCL212は、アウトプットコンペアイネーブルフラッグのセット状態“1”で、上記一致信号Cを上記COMP206から受けると、アウトプットレベルコントロールフラッグによって指定された出力レベルを有するFTO信号を出力する様に動作する。また、アウトプットレベルコントロールフラッグがクリア状態“0”とされると、FTO信号はD-レベルにされ、そのフラッグがセット状態とされると、FTO信号はハイレベルとされる。上記TCL212は、アウトプットインタラプトイネーブルフラッグがセット状態“1”で、上記一致信号を受けると、たとえばハイレベルのTIR信号を出力するように動作する。

第8図は、上記FRTによって制御される被制御デバイスとして、たとえば、プリンター300内のステップモーター302を例示的に示している。すなわち、上記FTO信号で、上記モーター302の回転数及び/又はトルクを制御しようとする例が述べられる。

第9図は、データ転送の順番及びシングルチップマイクロコンピュータのアドレス空間とデータ転送の順番との間の関係が示される。このデータ転送において、DMAC100内の制御レジスタ2、転送元及び転送先アドレスレジスタ6a、6b、7a、7bは、表1の様に初期設定され、タイマ割込(TIR)がDMACに入力されるごと

表 1

レジスタ名	初期値	備 考
レジスタ6a	SA 1	TCSR210 のデータのアドレス
レジスタ6b	SA 2	OCR204 のデータ・バスのアドレス
レジスタ7a	DA 1	TCSR210 のアドレス

レジスタ名	初期値	備 考
レジスタ7b	DA 2	OCR204 のアドレス
レジスタ2	SZ 1	1
	SI 1	0
	DI 1	0
	FG 1	1
	SZ 2	1
	ST 2	1
	DI 2	0
	FG 2	0
レジスタ3	n	(10進法で表示)

に、データ転送先①-②、③-④、⑤-⑥、…、②n-1 - ②n が実行されていく。

第10図は、第9図に示したデータ転送FRT200動作波形図及びFTO信号の出力レベルの関係が示される。

図中において、太い実線はFRC202のカウントアップ状態を示し、2点鎖線はOCR204

の値を示し、上記2点傾点の矢印はOCR204の値の変更を示し、点線はOCR204の内容とFRC202のカウント値の一致点すなわち、TIRの出力されるタイミングを示し、FTOは外部端子Yから出力されるFTO信号の出力レベルを示す。理解を容易とするために、図中に、CPU10の動作期間とデータ転送期間との時間配分が示されている。CPU動作期間はCPU EX.と示され、CPU10がデータ処理プログラムを実行していることを示す。①、②…はデータ転送を示し、Jは、アドレスレジスタ6bのアドレスのインクリメント動作を、Kは回数レジスタ3のデクリメント動作を示す。

これによって、シングルチップマイクロコンピュータの外部端子Yから所定の波形パルス(FTO)を出力させ、しかもそのパルスを所望の回数だけ出力させた後にパルスの幅を変えたりすることができる。従って、これをステップモータ302の制御パルスの形成に利用すると初めは回転度が徐々に速くなり、途中から一定速度になるよう

にステップモータ302を制御するようなことが可能となることは当業者にとって容易に理解されるであろう。

なお、上記実施例では制御用レジスタ2が1つだけ設けられているが、上記制御用レジスタ2と転送先および転送元アドレスレジスタ6a~7bの組を複数チャネル分設け、複数の独立したデータ転送を行なえるようにしてもよい。

また、転送要求回数レジスタ3の代わりもしくはこれとともに転送回数等を設定する転送回数レジスタを設け、ブロック転送等における転送回数を入れるようにしてもよい。

次に本発明をシングルチップマイクロコンピュータに適用し、上記データ転送をマイクロプログラムで実現できるようにした実施例について説明する。

第3図には、本発明が適用されるシングルチップマイクロコンピュータ102の構成例が、また第4図にはメモリーI/O間のデータ転送を可能にするマイクロプログラムの制御手順の一例が示

されている。

第3図においては、11はマイクロプログラム制御方式の制御部と演算器やレジスタ類を含む実行ユニットからなるマイクロプロセッサ、12はプログラマブルな内蔵タイマ、13はタイマ割込みTIRや外部デバイスからの割込み要求IRQを受けて優先順位を決定する割込み制御回路、14はバス権を獲得したり、外部デバイスに対する制御信号を形成したりするバスアビータの機能を含むバス&タイミング制御回路である。

また、15は出力ポート、16はアドレスデコードDECで、この実施例ではポート15内に出力状態を制御するためのデータレジスタDRが2つ設けられている。このデータレジスタDR1とDR2はカスケード接続されており、1段目のデータレジスタDR1はCPU11からの制御信号によってデータバス19上のデータを読込み、2段目のデータレジスタDR2はタイマ12からの信号CMによって1段目のデータレジスタDR2内のデータを取込むように構成されている。

さらに、この実施例ではアドレスバス18およびデータバス19に接続される外部メモリ(RAM)20内の所定アドレス領域に第1図に示されている制御レジスタ2と、転送要求回数レジスタ3および転送元アドレスレジスタ6a、6bと転送先アドレスレジスタ7a、7bが割り当てられて、第4図に示すようなマイクロプログラム制御フローによって、メモリ20とI/O間のデータ転送を実行するように構成されている。

次に、タイマ割込みによって外部のメモリ20から上記ポート15のレジスタにデータを転送して所定パルスを出力させる場合の手順を第4図のフローチャートを用いて説明する。

タイマ12から割込み制御回路13に対してタイマ割込みTIRが入ると、割込み制御回路13はバス&タイミング制御回路14へバス要求信号BRを送る。バス&タイミング回路14はバス権を獲得し、CPU11にアクリッジ信号ACKを出力する。CPU11はデータ転送のための割込み(DTCIRQ)かそれ以外の割込みか判定

する(ステップS1)。データ転送割込みDTCTIRQの場合、ステップS2へ進みベクタ領域から対応するデータ転送のための割込みベクタ(DTCベクタ)すなわちメモリ20内に入っている制御用レジスタ2のアドレスをCPU11が読み込むとともに、そのアドレスを使ってメモリ20をアクセスし制御用レジスタ2の内容(転送モード(SZ1, S11, D11)等)を読み込む(ステップS3)。そして、CPU11はデータのサイズ(SZ1)と転送モード(S11, D11)を解釈し、先ずメモリ20内の転送元アドレスレジスタ6aとされるアドレスにストアされたソースアドレスを読み込むとともに、そのソースアドレスをアドレスバス18上に出し、それによって、CPU11はメモリ20をアクセスして転送されるべきデータを読み込む(ステップS4, S5)。それから、CPU11は上記ステップS3で読み込んだ転送モード(S11)から転送元アドレスを更新すべきか否かを判定する(ステップS6)。ポート15よりモータの駆動パルスを出させるよう

な場合には、出力状態をタイマ割込みTIRの度に反転させる必要があるので転送元アドレスをインクリメントまたはデクリメントすることになる。この場合には、ステップS6からS7へ移行して、サイズ指定部(SZ1)に応じて転送元アドレスにプラス1またはプラス2を行なってそれを転送元アドレスレジスタ6aに書き込む。(ステップS8)。

それから、CPU11はメモリ20内の転送先アドレスレジスタ7a内にストアされたデスティネーションアドレスを読み込むとともにそのデスティネーションアドレスをアドレスバス18上に出し、その時、ステップS5で読み込んだ転送すべきデータをデータバス19上に出し、(ステップS9, S10)。バス19上に出されたデスティネーションアドレスがポート15を指定するものであるときは、デコード16によってポート15内のデータレジスタDR1の選択信号SEL1が形成され、バス19上のデータがデータレジスタDR1に格納される。

その後、ステップS3で制御用レジスタ2から読み込んだ転送モードD11に基づいて転送先アドレスを更新するか否かを判定する(ステップS11)。タイマ割込みで出力ポートを制御する場合、転送先アドレスは固定であるため、この場合にはステップS11からS14へジャンプし、制御用レジスタ2内の終了フラグFG1がセット状態か“1”か否かを調べられる。FG1が“1”のときはステップS4へ戻って2回目の転送を開始する。2回目の転送では、メモリ20内のアドレスレジスタ6b, 7bを使用してタイマ12内の時間レジスタ(第8図のOCR)(パルス幅に対応している)を設定するためのデータをメモリ20から転送すべく、ステップS4～S14を繰り返す。この場合、モータの回転速度を変えるようなときはステップS6からS7へ移行して転送元アドレスを更新し、回転速度を一定に保つときは転送元アドレスの更新は行なわないようにすればよい。

2回目のデータ転送が終了すると、終了フラグFG2がチェックされ、クリア状態“0”ならス

テップS15へ進み、メモリ20から転送要求回数レジスタ3の内容(DTCR)を読み込んでデクリメントしてから元のレジスタ3のアドレス内にデクリメントされた値を書き込む(ステップS16, S17)。その後、レジスタ3の値(転送要求回数DTCR)が“0”になったか否かを判定する(ステップS18)そして、“0”でないときはそのまま次のタイマ割込みTIRが来るのを待ち、タイマ割込みTIRが入ると上記手順S1～S18を繰り返し、同一の転送モードでポート15の出力状態を制御する。

一方、ステップS18で転送要求回数が“0”になったと判定すると、ステップS21へ移行し、別の割込み処理を開始する。ポート15から出力されるモータの駆動パルスを制御するような場合には、この割込み処理で制御用レジスタ2を書き換えて転送モードを変えたりすることができる。

このような手順により、例えばステップモータが回転を開始してから1000個目のパルスまでパルス幅を徐々に大きくして回転速度を次第に増

加させ、その後はパルス幅すなわち回転速度を一定とするようにパルス幅の一定なパルスを連続的に出力させるようなモータの制御が可能となる。

なお、上記実施例のシングルチップマイクロコンピュータでは、制御用レジスタ2や転送元、転送先アドレスレジスタ6a～7bを外部のメモリ20内に用意するとしたが、シングルチップマイクロコンピュータが内蔵RAMを有する場合には、その中に用意しておくようにしてもよいことはいふまでもない。

以上説明したように上記実施例は、転送元アドレスと転送先アドレスを設定可能なアドレスレジスタの組を2組用意するとともに、転送方法を指定するため用意された制御用レジスタ内に上記アドレスレジスタ組のうち一方のみを使用する転送モードと両方を使用する転送モードを区別するビット(FG1)を設け、上記制御用レジスタの制御コードを解釈しながらデータ転送のための制御信号を形成させるようにしたので、転送元アドレスと転送先アドレスを2つずつ設定できるため、

1回の転送要求で2回の各々独立したアドレス間のデータ転送が可能となる。また、制御用レジスタ内に1回転送と2回転送を区別するビット(FG1)が設けられているため、新たに可能となった上記2回転送の他、従来の1回の転送要求で1回の転送を行なうDMAコントローラの機能を保障することができるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいふまでもない。例えば上記第1の実施例ではCPUと別個のチップ上に形成されたDMAコントローラを想定して説明したが、本発明はシングルチップマイクロコンピュータ内蔵のDMAコントローラに適用することも可能である。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDMAコントローラおよびシングルチップマイクロコンピュータに適用したものについて説明したがこ

の発明はそれに限定されるものでなく、データ転送機能を有する半導体回路一般に利用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、1回の転送要求で2回の各々独立したアドレス間のデータ転送ができるようなDMAコントローラが提供でき、また、シングルチップマイコンにおいてDMA転送によるパルスの出力制御が可能となる。

4. 図面の簡単な説明

第1図は本発明をDMAコントローラに適用した場合の一実施例を示すブロック図、

第2図はその制御用レジスタの構成例を示す図、

第3図は本発明をシングルチップマイクロコンピュータに適用した場合の一実施例を示すブロック図、

第4図はマイクロプログラムによるデータ転送

制御手順を示すフローチャート、

第5図(A)は従来のDMAコントローラによるデータ転送方式を示すメモリマップ、

第5図(B)は発明のDMAコントローラによるデータ転送方式を示すメモリマップ、

第6図はコントロールビットFG1が“0”とされた場合の回数レジスタのデクリメントタイミングを示し、

第7図はコントロールビットFG1が“1”とされた場合の回数レジスタのデクリメントタイミングを示し、

第8図はフリランニングカウンタの構成及び被制御装置を示し、

第9図はデータ転送の順序を示し、

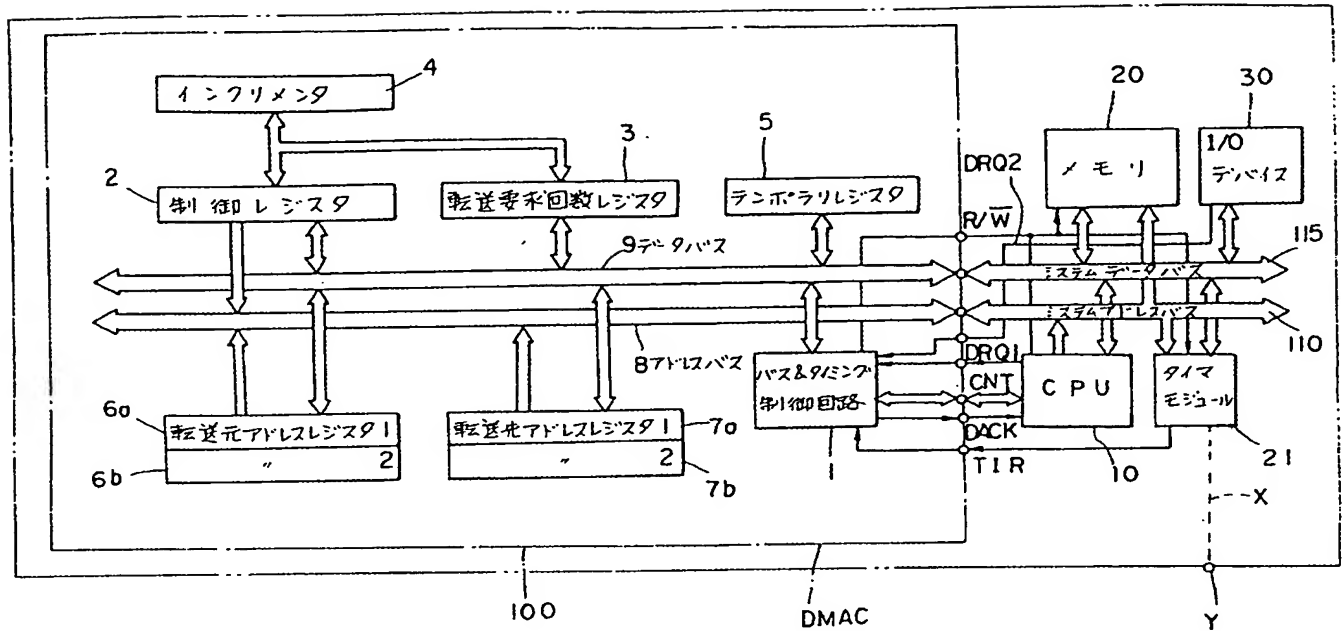
第10図は、第9図のデータ転送における動作波形図を示す。

11…マイクロプロセッサ、15…ポート、16…デコーダ、DR1、DR2…データレジスタ。

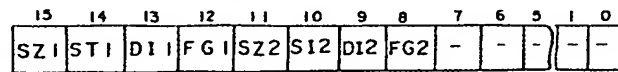
代理人 弁理士 小 川 勝 男



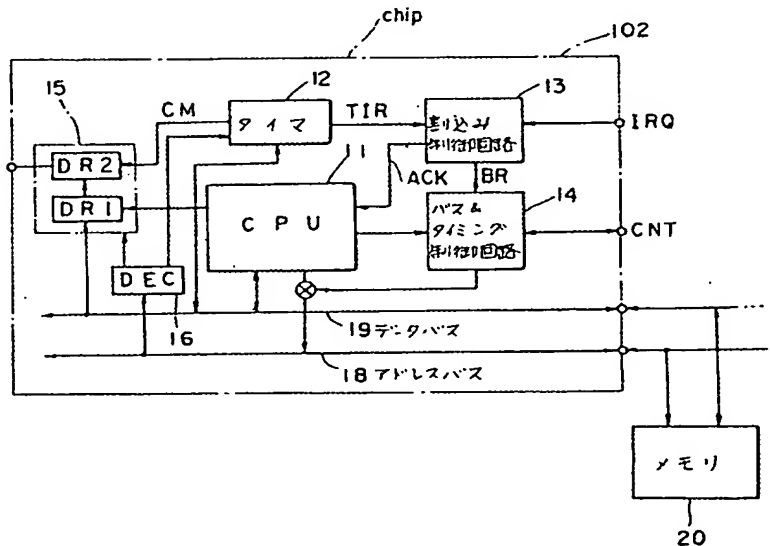
第 1 図



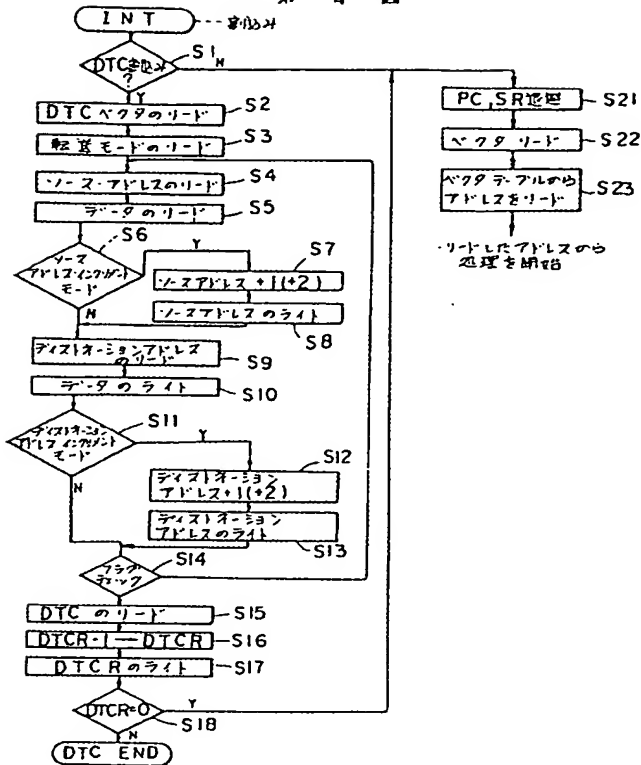
第 2 図



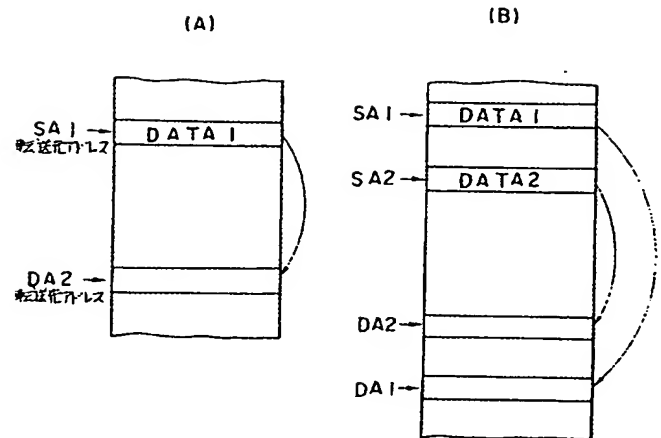
第 3 図



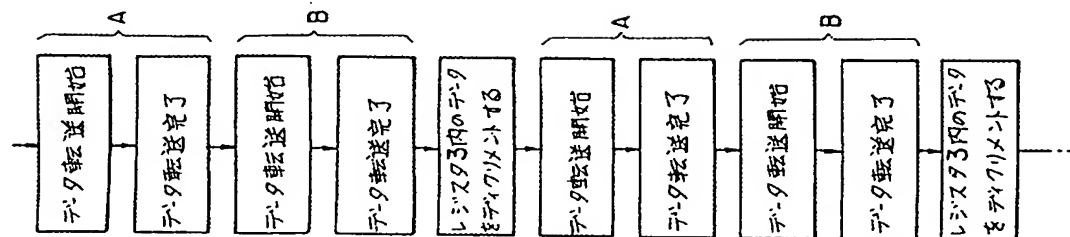
第 4 図



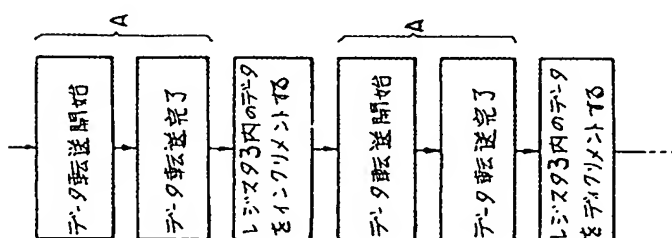
第 5 図



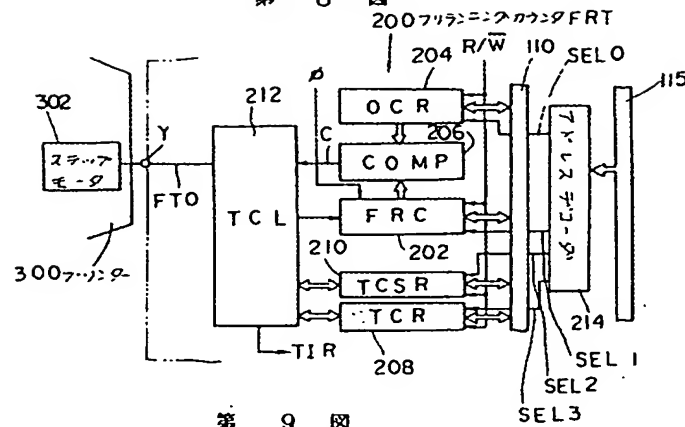
第 7 図



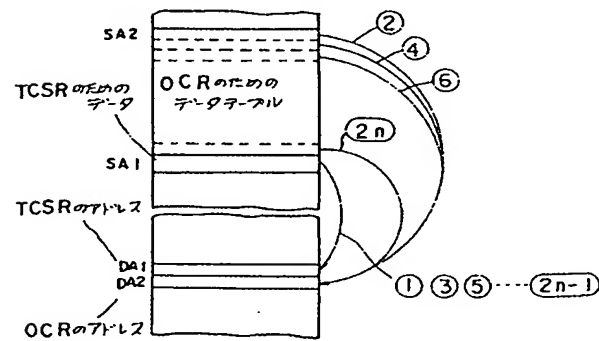
第 6 図



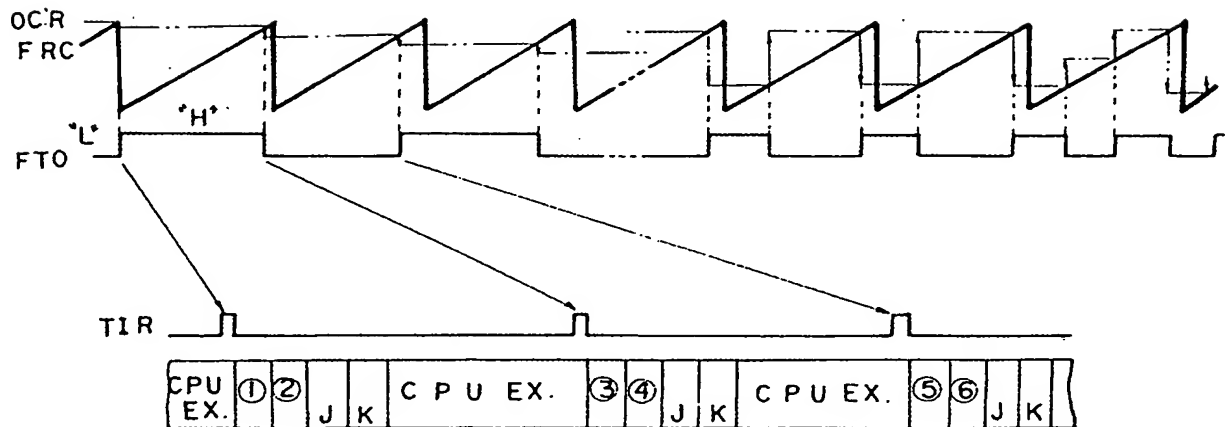
第 8 図



第 9 図



第 10 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.